

Modelovanje promena napona praga p-kanalnih VDMOS tranzistora snage tokom NBT napreznja

Nikola Mitrović, *Student Member, IEEE*, Danijel Danković, *Member, IEEE*, Zoran Prijic, *Member, IEEE*, Ninoslav Stojadinović, *IEEE, Life Fellow*

Apstrakt—U ovom radu prikazana je analiza eksperimentalnih rezultata nestabilnosti napona praga p-kanalnih VDMOS tranzistora snage IRF9520 podvrgnutih temperaturnom napreznju sa negativnom polarizacijom gejta, dok je glavni deo istraživanja modelovanje promene napona praga prema dobijenim eksperimentalnim rezultatima. Osmišljeno je i prikazano elementarno kolo za modelovanje i statičkog i impulsnog napreznja tranzistora, kao i proračun vrednosti ključnih elemenata kola. Na kraju je data uporedna analiza eksperimentalnih i modelovanih rezultata.

Ključne reči—VDMOS transistor snage; NBTI; napon praga; modelovanje;

I. UVOD

Nestabilnosti usled naponsko temperaturnih napreznja sa negativnom polarizacijom gejta (skr. NBTI, od eng. Negative Bias Temperature Instability) MOS tranzistora postaju jedna od sve važnijih tema prilikom proučavanja pouzdanosti komponenata. Ova nestabilnost se manifestuje kroz pomeranje vrednosti napona praga usled NBT napreznja, i samim tim direktno utiče na period pouzdanog rada komponenata. NBTI efekti se javljaju pri napreznju p-kanalnih MOS tranzistora negativnim naponima na gejtu, kojima odgovaraju polja u oksidu gejta od 2-6 MV/cm, na povišenim temperaturama, u opsegu 100-250°C [1-3].

Mikroskopski mehanizmi NBTI još uvek nisu u potpunosti objašnjeni. Ipak, poznato je da se NBTI efekti ispoljavaju kroz smanjenje transkonduktanse komponenata (g_m), smanjenje apsolutne struje drejna (I_{Dsat}) i promenu napona praga (ΔV_T) [2]. Sa stanovišta praktične primene najinteresantnije su promenama napona praga pri impulsnom NBT napreznju, pa je ovo istraživanje i od najvećeg interesa. Pogotovo je bitan za procene perioda pouzdanog rada komponenata, jer su NBTI efekti označeni kao kritični

Nikola Mitrović – Univerzitet u Nišu, Elektronski fakultet, Aleksandra Medvedeva 14, 18000 Niš, Srbija (e-mail: nikola.i.mitrovic@elfak.ni.ac.rs).

Danijel Danković – Univerzitet u Nišu, Elektronski fakultet, Aleksandra Medvedeva 14, 18000 Niš, Srbija (e-mail: danijel.dankovic@elfak.ni.ac.rs).

Zoran Prijic – Univerzitet u Nišu, Elektronski fakultet, Aleksandra Medvedeva 14, 18000 Niš, Srbija (e-mail: zoran.prijic@elfak.ni.ac.rs).

Ninoslav Stojadinović – Univerzitet u Nišu, Elektronski fakultet, Aleksandra Medvedeva 14, 18000 Niš; Srpska akademija nauka i umetnosti (SANU) – Ogranak u Nišu, Univerzitetski trg 2, 18000 Niš, Srbija (e-mail: ninoslav.stojadinovic@elfak.ni.ac.rs).

ograničavajući faktori koju utiču na period pouzdanog rada [1-5].

U prethodnim godinama izvršena su brojna istraživanja kako bi se proučili suštinski mehanizmi NBTI efekata na MOS tranzistore, kako bi se razvile nove merne metode za merenje ovih efekata i kako bi se razložile pojedinačne komponente degradacije [4-6]. Pokazano je da NBTI model koji oponaša degradaciju usled statičkog napreznja može da napravi pogrešnu procenu pouzdanosti u odnosu na stvarnu degradaciju usled impulsnog napreznja, koja je zastupljenija u praktičnoj primeni. Modelovanje degradacije usled impulsnog napreznja i dalje ostaje izazovan zadatak, jer NBTI efekti zavise kako od napona i temperature tako i od učestanosti i od faktora ispune impulsnog napona koji vrši napreznje [7-11].

U ovom radu analizirani su efekti kod p-kanalnih VDMOS (od izraza: Vertical Double Diffused Metal Oxide Semiconductor) tranzistora snage [12] IRF9520 [13] koji su podvrgnuti NBT napreznju. Takođe, kako bi se predvideo period pouzdanog korišćenja komponenata, izvršeno je i modelovanje napona praga na osnovu raspoloživih eksperimentalnih podataka dobijenih tokom NBT napreznja [14-17].

Naša ranija istraživanja bavila su se efektima NBTI kod p-kanalnih VDMOS tranzistora snage. Ovaj tip tranzistora je izuzetno pogodna komponenta za primene u prekidačkim izvorima napajanja, zbog svojih superiornih prekidačkih karakteristika [10], pa je iz tih razloga i značajno modelovanje promena napona praga pri impulsnom napreznju.

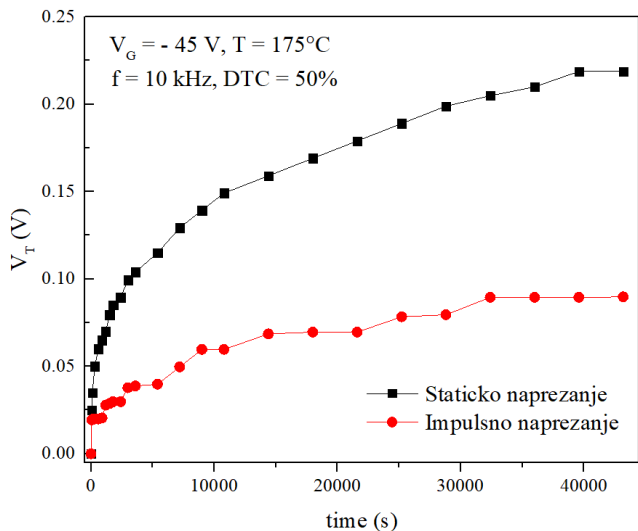
II. EKSPERIMENT I ANALIZA REZULTATA

Sa ciljem dobijanja adekvatnih rezultata za modelovanje ΔV_T , izvršeni su eksperimenti nad različitim grupama tranzistora koji su podvrgnuti NBT napreznju pri tipičnim uslovima (-45 V, 175°C). Napreznja su vršena jednosmernim i impulsnim naponima na gejtu sa različitim faktorima ispune. U ovom radu, akcentat je na statičkom napreznju, kao i impulsnom napreznju, gde je faktor ispune impulsnog napona 50%, odnosno gde je vreme trajanja visokog i niskog naponskog nivoa jednako [7-9, 18].

Kao uzorci u eksperimentu korišćeni su komercijalni p-kanalni VDMOS tranzistori snage IRF9520, koji su realizovani u standardnoj poli-Si gejt tehnologiji, sa heksagonalnom ćelijskom strukturom (1650 ćelija) i oksidom

gejta nominalne debljine 100 nm. Maksimalna struja drejna ovih tranzistora je 6.8 A, a vrednost napona praga izmerena pre naprezanja bila je $V_{TO} = -3.6$ V. Komponente su montirane u plastična kućišta TO-220 [13].

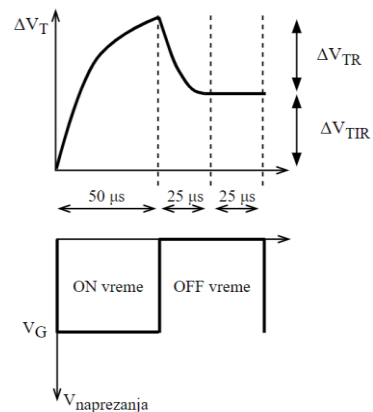
Jedna grupa ispitivanih uzoraka naprezana je kontinualnim negativnim naponima na gejtu od -45 V (pri čemu su sors i drejn bili uzemljeni) na temperaturi od 175°C u ukupnom trajanju od 12 sati. Druga grupa uzoraka podvrgnuta je impulsnim naponsko temperaturnim naprezanjima frekvencije 10 kHz (periode 100 μ s) i faktora ispune 50%, sa identičnim vrednostima napona, temperature i vremena NBT naprezanja kao i kod prve grupe uzoraka. Eksperimentalni rezultati prikazani su na slici 1.



Sl. 1. Eksperimentalni rezultati za ΔV_T dobijeni tokom statičkog i impulsnog NBT naprezanja p-kanalnih VDMOS tranzistora IRF9520.

U gotovo svim dosadašnjim istraživanjima NBTI efekata kod p-kanalnih MOS tranzistora proizvedenih u različitim tehnologijama, nezavisno od toga da li se radi o statičkom ili o impulsnom naprezanju, dobijena je promena napona praga po zakonu t^n , gde je $n < 1$ [1-3,18-20]. Takođe, dobijeni rezultati ukazuju na to da je ΔV_T znatno izraženije kod statičkog nego kod impulsnog naprezanja, kao i pri višim naponima i/ili temperaturama [9, 11, 18, 20].

Prilikom impulsnog naprezanja, grafički ilustrovano na slici 2, tokom visokog naponskog nivoa (označeno kao ON vreme), efekat naprezanja isti je kao i prilikom statičkog naprezanja. Sa druge strane, tokom niskog naponskog nivoa (OFF vreme), dolazi do delimičnog oporavka degradacije napona praga nastale usled naprezanja. Zbog toga, promenu napona praga po impulsu moguće je podeliti na dve komponente, reverzibilnu i ireverzibilnu [10]. Reverzibilna je označena sa ΔV_{TR} , i predstavlja deo koji se, nakon prestanka delovanja visokog naponskog nivoa napona na gejtu, oporavi, dok ireverzibilna komponenta, označena sa ΔV_{TIR} , predstavlja deo degradacije koji se ne oporavi.



Sl. 2. Grafička ilustracija promene napona praga pod uticajem jednog impulsa pri impulsnom NBT naprezanju.

Prethodni rezultati naših istraživanja istakli su postojanje karakteristične vremenske konstante (25 μ s) koja je povezana sa oporavkom napona praga pri degradaciji impulsnim naprezanjem [7-10, 18, 22]. Pokazano je da je prilikom impulsnog naprezanja, tokom trajanja niskog naponskog nivoa impulsnog napona za naprezanje (a nakon prestanka delovanja visokog nivoa), vreme od 25 μ s dovoljno da se odstrani najveći deo reverzibilne komponente.

III. MODELOVANJE ΔV_T

Bilo je više pokušaja modelovanja ΔV_T [14-17, 23, 24] tokom NBT naprezanja. Sa ciljem unapređenja na polju modelovanja, u ovom radu predloženo je elementarno kolo za modelovanje. Kolo je inicijalno osmišljeno za statičko naprezanje, a onda je u električnom smislu prošireno za impulsno naprezanje.

Kako se napon praga menja po stepenom zakonu (t^n), a koji se za male intervale vremena poklapa sa eksponencijalnim zakonom, kolo za modelovanje sastoji se iz kondenzatora C koji se puni preko otpornika R , kao što je ilustrovano na slici 3 (otpornik R_C i kondenzator C_I). Ovde je iskorišćena osobina kondenzatora da se, tokom punjenja, napon na njemu povećava eksponencijalno. Promena napona na kondenzatoru odgovara promeni ΔV_T , i računa se kao:

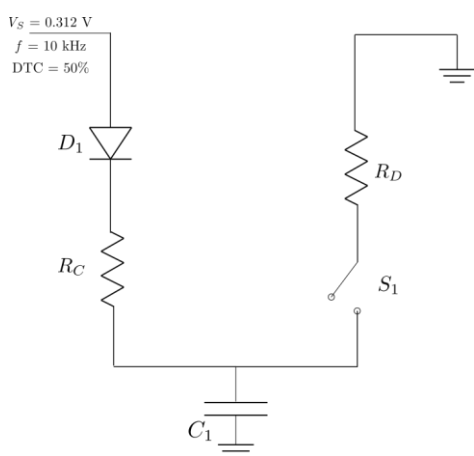
$$V_C = V_S \left(1 - e^{-\frac{t}{R_C C}} \right) \quad (1)$$

Gde je V_C trenutna vrednost napona, V_S napon koji V_C dostiže u beskonačnosti. Računanjem vrednosti kapacitivnosti kondenzatora i otpornosti otpornika, dolazi se do vrednosti koje modeluju ΔV_T prilikom statičkog naprezanja. Kako postoji jedna jednačina, a dve nepoznate, potrebno je izabrati jednu promenljivu, kako bi se izračunala druga. Ovakav tip pretpostavke neophodan je prilikom modelovanja, a vrednost se obično bira na osnovu iskustva.

Međutim, kako su ove komponente zastupljene u primenama gde do izražaja dolaze njihove prekidačke osobine, efekti impulsnog naprezanja VDMOS tranzistora su

od znatno većeg interesa u odnosu na efekte statičkog napreznja [10]. Zbog toga je akcentat na modelovanju NBTI usled impulsnog napreznja.

Kod impulsnog napreznja, rastući deo krive mikrosignala (prikazanog na slici 4), nastao za vreme trajanja visokog naponskog nivoa impulsnog napona (ON vreme) za napreznje predstavljen je kao punjenje kondenzatora C_1 preko otpornika R_C (odgovara prvoj polovini periode). Drugi deo krive istog mikrosignala (OFF vreme) podeljen je na dva dela, na opadajući deo i konstantni deo. Opadajući deo predstavljen je kao pražnjenje kondenzatora C_1 preko otpornika R_D , dok je za vreme konstantnog dela potrebno zaustaviti pražnjenje. Kako eksperimentalni rezultati ukazuju na to da je nakon prestanka delovanja visokog naponskog nivoa, vreme od 25 μs dovoljno da se oporavi najveći deo reverzibilne komponente, pražnjenje kondenzatora C_1 treba omogućiti samo tokom trajanja navedene vremenske konstante.

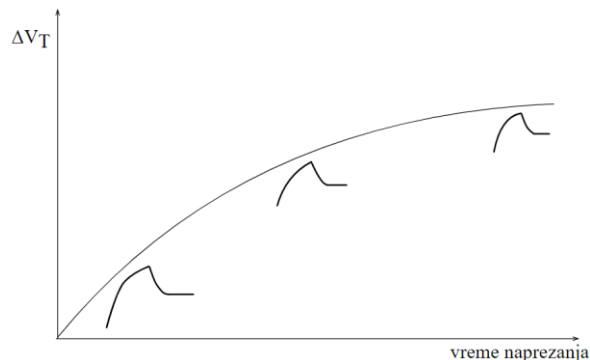


Sl. 3. Električno kolo za modelovanje ΔV_T pri impulsnom NBT napreznju. Napon V_S određen je korišćenjem modela rastegnute eksponencijalne funkcije kao što je demonstrirano u [17].

Impulсни napon se prosleđuje kondenzatoru C_1 preko otpornika R_C i idealne diode D_1 , tako da se kondenzator puni. Sa druge strane, kondenzator se prazni preko otpornika R_D . Dioda D_1 obezbeđuje da se kondenzator prazni samo preko otpornika R_D , a ne i preko otpornika R_C , odnosno, ima isključivo usmeračku ulogu. Vrlo bitan deo kola je naponski kontrolisan prekidač, S_1 , koji je povezan u grani kola za pražnjenje. Kako je cilj modela omogućiti pražnjenje samo tokom 25 μs , prekidač treba kontrolisati signalom koji je sinhronizovan sa impulsnim signalom za napreznje, tako da omogući pražnjenje kondenzatora u prvih 25 μs nakon prestanka trajanja visokog naponskog nivoa signala za impulсно napreznje. Ovaj proces selektivnog otvaranja prekidača treba ponoviti prilikom svake periode impulsnog napreznja. Na ovaj način, cilj je da napon na kondenzatoru V_C odgovara vrednosti ΔV_T koje je rezultat impulsnog NBT napreznja. Slična električna kola za modelovanje određenih promena napona već su prikazana u [14-17, 23, 25], odakle je i potekla osnovna ideja. Međutim, osnovna modifikacija je uvođenje kontrolisanog prekidača S_1 , a sve zbog specifične

vremenske konstante od 25 μs koja je uočena kod VDMOS tranzistora snage [16, 17].

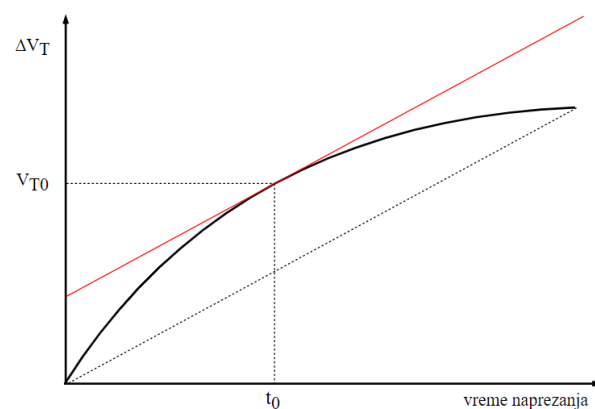
Kako bi se omogućilo poklapanje modelovanih i eksperimentalnih rezultata, potrebno je izračunati odgovarajuće vrednosti kapacitivnosti i otpornosti. Prilikom računanja ovih vrednosti, treba obratiti pažnju na evoluciju mikrosignala. Eksponencijalna priroda t^n se, između ostalog, ogleda u tome što je, prilikom impulsnog napreznja, priraštaj ΔV_T po impulsu najveći na početku, a onda vremenom, priraštaj po impulsu opada [18-20].



Sl. 4. Grafička ilustracija promene priraštaja ΔV_T po vremenu pri impulsnom NBT napreznju.

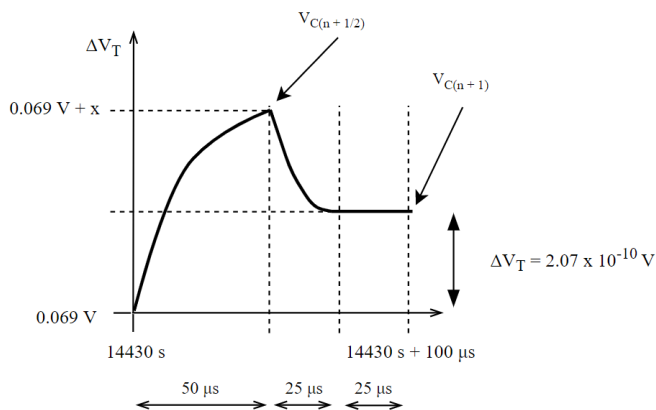
Za modelovanje impulsnog napreznja, proračunom bi trebalo doći do tri vrednosti, R_C , R_D i C_1 . Takođe, proračun treba da isprati promenu priraštaja ΔV_T po impulsu, odnosno da na početku ΔV_T bude najveće, a onda sve manje i manje.

Za $t = 12$ sati impulsnog napreznja, ΔV_T se promeni od 0 V do 0.0895 V. Kako je učestanost impulsnog napona za napreznje 10 kHz, za vreme t , na gejt VDMOS tranzistora dođe $4.32 \cdot 10^9$ impulsa. Odatle, srednja vrednost priraštaja ΔV_T po impulsu je $2.07 \cdot 10^{-10}$ V. Ova srednja vrednost priraštaja dostiže se u nekom trenutku razvoja degradacije napona praga. Za računanje položaja tačke u kojoj razvoj dostiže srednju vrednost iskorišćena je Lagranžova teorema [26]. Tačka u kojoj razvoj dostiže ovu vrednost je tačka u kojoj je tangenta paralelna pravoj koju formiraju početna i krajnja tačka razvoja ΔV_T , kao što je ilustrovano na slici 5.



Sl. 5. Grafička ilustracija određivanja tačke u kojoj priraštaj ΔV_T po impulsu ima srednju vrednost za ceo interval (V_{T0}).

Grafičkom analizom utvrđeno je da se srednja vrednost priraštaja dostiže nakon 14430 s i da promena napona praga u tom trenutku iznosi 0.069 V. Do tada, naprezanjem je isporučeno $1.443 \cdot 10^8$ impulsa. Ukoliko se pretpostavi da ΔV_T dostiže vrednost V_{T0} nakon n impulsa, nakon $n+1$ impulsa, dostići će vrednost približno $V_{T0} + \Delta V_{T\text{sred}}$. Ovo su dve tačke na osnovu kojih je moguće izračunati R_C i R_D . Ilustracija srednjeg impulsa prikazana je na slici 6.



Sl. 6. Analiza odmerka promene ΔV_T pri impulsu koji ima srednju vrednost za ceo razvoj promene napona praga.

Kako odziv kondenzatora nije isti kada je kondenzator prazan i kada na njemu već postoji neki napon, navedeni interval opisan jednačinama je:

$$V_{C(n+\frac{1}{2})} = V_{C(n)} + (V_{S_{50\%}} - V_{C(n)}) \left(1 - e^{-\frac{t_c}{R_C C}}\right) \quad (2)$$

$$V_{C(n+1)} = V_{C(n+\frac{1}{2})} e^{-\frac{t_D}{R_D C}} \quad (3)$$

Rešavanjem sistema jednačina, dolazi se do nepoznatih vrednosti otpornosti R_C i R_D . Ove vrednosti date su u tabeli I.

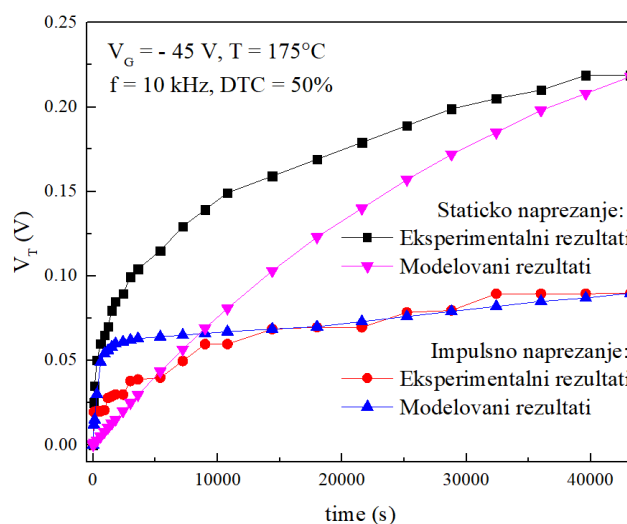
TABELA I
VREDNOSTI KARAKTERISTIČNIH ELEMENATA KOLA ZA MODELOVANJE

Statičko naprezanje	Impulsno naprezanje	
$R_C = 3.6 \cdot 10^7 \Omega$	$R_C = 3.6 \cdot 10^5 \Omega$	$R_D = 2.43 \cdot 10^5 \Omega$
$C_1 = 1 \text{ mF}$		

Na osnovu izračunatih vrednosti otpornosti i jednačina (2) i (3), moguće je izračunati priraštaj degradacije napona praga pri svakom impulsu. U tabeli II su date vrednosti priraštaja ΔV_T po određenim karakterističnim impulsima. Na slici 7 su prikazani uporedno izmereni i modelovani rezultati.

TABELA II
VREDNOSTI PRIRAŠTAJA PROMENA NAPONA PRAGA PO KARAKTERISTIČNIM IMPULSIMA

Redni broj impulsa	Priraštaj po impulsu [V]	Ukupna promena [V]
1	$16.82 \cdot 10^{-9}$	$16.82 \cdot 10^{-9}$
2	$16.81 \cdot 10^{-9}$	$33.63 \cdot 10^{-9}$
3	$16.79 \cdot 10^{-9}$	$50.42 \cdot 10^{-9}$
⋮		
$1.443 \cdot 10^8 - 1$	$2.07 \cdot 10^{-10}$	0.0689999932043591
$1.443 \cdot 10^8$	$2.07 \cdot 10^{-10}$	$6.9 \cdot 10^{-2}$
$1.443 \cdot 10^8 + 1$	$2.06 \cdot 10^{-10}$	0.0690000020671664
⋮		
$4.32 \cdot 10^9 - 2$	$9 \cdot 10^{-14}$	0.08949999999982
$4.32 \cdot 10^9 - 1$	$9 \cdot 10^{-14}$	0.08949999999991
$4.32 \cdot 10^9$	$9 \cdot 10^{-14}$	0.0895



Sl. 7. Poređenje eksperimentalnih i modelovanih rezultata statičkog i impulsnog NBT naprezanja p-kanalnih VDMOS tranzistora IRF9520.

Kriva eksperimentalnih rezultata i kriva modelovanih rezultata prilikom modelovanja statičkog naprezanja, imaju sličan oblik, mada je u srednjim delovima krive primetno veće neslaganje. Sa druge strane, kriva eksperimentalnih i kriva modelovanih rezultata prilikom impulsnog naprezanja takođe pokazuje neslaganje, ali u početnom delu naprezanja i u manjem obliku u odnosu na statičko naprezanje. U većem delu vremena, eksperimentalna i modelovana kriva impulsnog naprezanja se gotovo poklapaju. Kako je od većeg interesa za predviđanje pouzdanosti bitnije poklapanje modela za veće vremenske intervale prikazan model daje odgovarajuće rezultate. Osim toga, VDMOS tranzistori se uglavnom koriste u impulsnom režimu rada. Zbog toga, poklapanje eksperimentalnih i modelovanih rezultata pri impulsnom naprezanju ima veći značaj. Pogotovo poklapanje za veće vremenske intervale, zbog određivanja perioda pouzdanog rada.

IV. ZAKLJUČAK

U radu je prikazano kolo za modelovanje promena napona praga VDMOS tranzistora pri statičkom i impulsnom naprezanju. Modelovanje je izvršeno na osnovu eksperimentalnih rezultata. Prostor za unapređenja modela se nalazi se u modelovanju promena usled impulsnog naprezanja kada je vreme trajanja niskog naponskog nivoa manje od karakteristične vremenske konstante od 25 μ s. Dalje istraživanje će biti usmereno na razvijanje modela koji bi za izabrane vrednosti učestanosti i faktora ispune impulsnog napona za naprezanje mogao da verodostojno prikaže degradaciju napona praga i izvrši projekciju perioda pouzdanog rad.

ZAHVALNICA

Ovaj rad je podržan od strane Ministarstva prosvete, nauke i tehnološkog razvoja Republike Srbije i od strane Srpske akademije nauka i umetnosti - SANU.

LITERATURA

- [1] J.H. Stathis, S. Zafar, „The negative bias temperature instability in MOS devices: A Review“, *Microelectron. Reliab.*, 2006, vol. 46, pp. 270-286.
- [2] D.K. Schroder and J.A. Babcock, „Negative bias temperature instability: Road to cross in deep submicron silicon semiconductor manufacturing“, *J. Appl. Phys.*, 2003, vol. 94, pp. 1-18.
- [3] S. Ogawa, M. Shimaya, and N. Shiono, „Interface-trap generation at ultrathin SiO₂ (4-6 nm)-Si interfaces during negative-bias temperature aging“, *J. Appl. Phys.*, 1995, vol. 77, pp. 1137-1148.
- [4] S. Mahapatra, N. Goel, S. Desai, S. Gupta, B. Jose, S. Mukhopadhyay, K. Joshi, A. Jain, A. E. Islam, M. A. Alam, „A Comparative Study of Different Physics-Based NBTI Models“, *IEEE Trans. Electron Devices*, vol. 60, no. 3, pp. 901-916, 2013.
- [5] T. Grasser, Th. Aichinger, G. Pobegen, H. Reisinger, P.-J. Wagner, J. Franco, M. Nelhiebel, and B. Kaczer, „The ‘permanent’ component of NBTI: Composition and annealing“, in Proc. IEEE Int. Reliab. Phys. Symp. (IRPS2011), Monterey, CA (USA), 2011, 6A.2.1 - 6A.2.9.
- [6] D. Danković, I. Manić, S. Djorić-Veljković, V. Davidović, S. Golubović and N. Stojadinović, „NBT stress-induced degradation and lifetime estimation in p-channel power VDMOSFETs“, *Microelectron. Reliab.*, 2006, vol. 46, pp. 1828-1833.
- [7] D. Danković, N. Stojadinović, Z. Prijić, I. Manić and A. Prijić, „Recoverable and Permanent Components of V_T Shift in Pulsed NBT Stressed P-Channel Power VDMOSFETs“, in Proc. 29th Int. Conf. on Microelectronics (MIEL 2014), Belgrade (Serbia), May 2014, pp. 297-300.
- [8] D. Danković, N. Stojadinović, Z. Prijić, I. Manić, V. Davidović, A. Prijić, S. Djorić-Veljković, S. Golubović, „Analysis of recoverable and permanent components of threshold voltage shift in NBT stressed p-channel power VDMOSFET“, *Chinese Phys. B*, vol. 24, pp. 106601-1, 2015.
- [9] D. Danković, I. Manić, A. Prijić, S. Djorić-Veljković, V. Davidović, N. Stojadinović, Z. Prijić and S. Golubović, „Negative bias temperature instability in p-channel power VDMOSFETs: recoverable versus permanent degradation“, *Semicond. Sci. Technol.*, vol. 30, p. 1056009 (9pp), 2015.
- [10] D. Danković, I. Manić, V. Davidović, A. Prijić, M. Marjanović, A. Ilić, Z. Prijić and N. Stojadinović, „On the Recoverable and Permanent Components of NBTI in p-Channel Power VDMOSFETs“, *IEEE Trans. Device Mater. Reliab.*, vol. 16, no. 4, pp. 522-531, 2016.
- [11] T. Nigam, „Pulse-stress dependence of NBTI degradation and its impact on circuits“, *IEEE Trans. Device Mater. Reliab.*, vol. 8, no. 1, pp. 72 - 78, 2008.
- [12] V. Benda, J. Gowar, D. Grant, *Power Semiconductor Devices*, John Wiley & Sons, New York, 1999.
- [13] IRF9520N Data sheet, Int. Rectifier 1998, www.irf.com
- [14] I. Manić, D. Danković, N. Stojadinović, „Threshold voltage shifts modeling during the NBT stressing and annealing in p-channel power VDMOSFETs“, in Proc. 56th ETRAN Conference, Zlatibor, June 11-14, 2012.
- [15] D. Danković, I. Manić, N. Stojadinović, Z. Prijić, S. Djorić-Veljković, V. Davidović, A. Prijić, A. Paskaleva, D. Spassov, and S. Golubović, „Modelling of Threshold Voltage Shift in Pulsed NBT Stressed P-Channel Power VDMOSFETs“, in Proc. 30th Int. Conf. on Microelectronics (MIEL 2017), Nis (Serbia), October 2017, pp. 297-300.
- [16] N. Mitrović, D. Danković, Z. Prijić, N. Stojadinović, „Modelling of ΔV_T in NBT Stressed P-Channel Power VDMOSFETs“, in Proc. 31st Int. Conf. on Microelectronics (MIEL 2019), Nis (Serbia), September 2019, pp. 177-180.
- [17] D. Danković, N. Mitrović, Z. Prijić, N. Stojadinović, „Modeling of NBT Effects in P-Channel Power VDMOSFETs“, *IEEE Trans. Device Mater. Reliab.*, vol. 20, pp. 204-213, 2020.
- [18] A. Prijić, D. Danković, Lj. Vračar, I. Manić, Z. Prijić, N. Stojadinović, „A method for negative bias temperature instability (NBTI) measurements on power VDMOS transistors“, *Meas. Sci. Technol.*, vol. 23, pp. 8, 2012.
- [19] K. Jeppson and C. Svensson, „Negative bias stress of MOS devices at high electric fields and degradation of MNOS devices“, *J. Appl. Phys.*, vol. 48, pp. 2004-2014, Jun. 1977.
- [20] N. Stojadinović, D. Danković, S. Djorić-Veljković, V. Davidović, I. Manić, S. Golubović, „Negative bias temperature instability mechanisms in p-channel power VDMOSFETs“, *Microelectron. Reliab.*, vol. 45, pp. 1343-1348, 2005
- [21] I. Manić, D. Danković, A. Prijić, Z. Prijić, N. Stojadinović, „Measurement of NBTI Degradation in p-channel Power VDMOSFETs“, *Informacije MIDEM, J. of Microelectron., Electronics Components and Materials*, vol. 44, no. 4, pp. 280-287, 2014.
- [22] N. Kawai, Y. Dohi, N. Wakai, „Study for pulse stress NBTI characteristics degradation stress“, *Microelectron. Reliab.*, 2009, vol. 49, pp. 989-993
- [23] H. Reisinger, T. Grasser, W. Gustin and C. Schlünder, „The statistical analysis of individual defects constituting NBTI and its implications for modeling DC- and AC-stress“, in Proc. IEEE Int. Reliab. Phys. Symp. (IRPS2010), Anaheim, CA, 2010, pp. 7-15.
- [24] I. Manić, D. Danković, V. Davidović, A. Prijić, S. Djorić-Veljković, S. Golubović, Z. Prijić and N. Stojadinović, „Effects of Pulsed Negative Bias Temperature Stressing in p-Channel Power VDMOSFETs“, *Facta Universitatis, Series: Electronics and Energetics*, vol. 29, no. 1, pp. 49-60, 2016.
- [25] X. Ye, K. Zhang, C. Chen, Z. Li, Y. Wang, and G. Zhai, „The threshold voltage degradation model of N Channel VDMOSFETs under PBT stress“, *Microelectron. Reliab.*, vol. 91, pp. 46-51, 2018
- [26] A. G. Khovanski, *Geometry of Differential Equations*, American Mathematical Soc., 1998

ABSTRACT

This paper gives insight in analysis and modeling of instability of threshold voltage shift in p-channel VDMOS power transistor IRF9520 subjected to negative bias temperature stressing. Elemental circuit for modeling of both static and pulsed stress is designed and presented, together with calculation of key parameters of the circuit. Comparison between static and pulsed modeling is discussed.

Modeling of NBT stress induced threshold voltage shifts in p-channel power VDMOSFETs

Nikola Mitrović, Danijel Danković, Zoran Prijić, Ninoslav Stojadinović