

Određivanje maksimalne frekvencije takta 5-bitnog serijskog konvertora sekvence maksimalne dužine u prirodni binarni kod

Milan R. Dinčić
Katedra za merenja
Univerzitet u Nišu, Elektronski fakultet
u Nišu
Niš, Srbija
milan.dincic@elfak.ni.ac.rs,
orcid.org/0000-0001-7508-0277

Goran S. Miljković
Katedra za merenja
Univerzitet u Nišu, Elektronski fakultet
u Nišu
Niš, Srbija
goran.miljkovic@elfak.ni.ac.rs,
orcid.org/0009-0004-1973-2911

Milica S. Stojanović
Katedra za merenja
Univerzitet u Nišu, Elektronski fakultet
u Nišu
Niš, Srbija
milica.stojanovic@elfak.ni.ac.rs,
orcid.org/0009-0000-5528-3675

Dragan B. Denić
Katedra za merenja
Univerzitet u Nišu, Elektronski fakultet
u Nišu
Niš, Srbija
dragan.denic@elfak.ni.ac.rs,
orcid.org/0000-0001-5582-0944

Jelena R. Jovanović
Katedra za merenja
Univerzitet u Nišu, Elektronski fakultet
u Nišu
Niš, Srbija
jelena.jovanovic@elfak.ni.ac.rs,
orcid.org/0000-0001-7238-6393

Jelena R. Đorđević Kozarov
Katedra za merenja
Univerzitet u Nišu, Elektronski fakultet
u Nišu
Niš, Srbija
kozarov@elfak.ni.ac.rs,
orcid.org/0000-0002-6941-4098

Abstract—Ovaj rad je posvećen određivanju maksimalne frekvencije takta serijskog konvertora sekvence maksimalne dužine u prirodni binarni kod, kao jednog od najvažnijih faktora koji utiču na maksimalnu brzinu rada pseudoslučajnih apsolutnih enkodera pozicije. Maksimalna frekvencija takta je određena na osnovu detaljne analize propagacionih kašnjenja unutar serijskog konvertora koda. U radu se razmatra 5-bitni serijski konvertor, ali princip i prikazana analiza mogu da se primene i za druge vrednosti rezolucije. Na osnovu izvršene teorijske analize izračunate su konkretne numeričke vrednosti propagacionih kašnjenja i maksimalne frekvencije takta, za slučaj da je serijski konvertor koda realizovan pomoću 74LVC familije logičkih kola.

Ključne reči—sekvenca maksimalne dužine, apsolutni enkoderi pozicije, serijski konvertor pseudoslučajnog koda, maksimalna frekvencija takta

I. UVOD

Sekvenca maksimalne dužine (tj. ML (*maximum length*) sekvenca) rezolucije n je sekvenca bitova dužine $2^n - 1$, generisana pomoću n -bitnog linearnog pomeračkog registra sa povratnom granom [1]-[5]. Pritom, svaka grupa od n uzastopnih bitova u ovoj sekvenci predstavlja jedinstvenu kodnu reč tako da ukupno imamo $2^n - 1$ različitih n -bitnih kodnih reči, pri čemu se svake dve uzastopne kodne reči razlikuju samo u jednom bitu, tj. zadnjih $n-1$ bita jedne kodne reči poklapa se sa prvih $n-1$ bita sledeće kodne reči. Kodne reči predstavljaju stanja pomeračkog registra kroz koja on prolazi tokom generisanja ML sekvence. Kodna reč sa svim nulama nije dozvoljena, jer pomerački registar nikad ne bi mogao da izađe iz tog stanja, zato nemamo 2^n , već $2^n - 1$ kodnih reči. Za početno stanje pomeračkog registra može da se izabere bilo koja od $2^n - 1$ dozvoljenih kodnih reči, i tu kodnu reč nazivamo referentna kodna reč. Nakon $2^n - 1$ taktnih ciklusa pomerački registar će proći kroz svih $2^n - 1$ različitih stanja, generišući na taj način celu ML sekvencu od $2^n - 1$ bita, i doći će ponovo u početno (referentno) stanje. Ako se nastavi sa generisanjem, dobiće se ponovo ista sekvenca bitova, tj. isti niz kodnih reči. Bitno je napomenuti da ne može svaki pomerački registar da generiše ML sekvencu, već

samo onaj koji ima odgovarajuću konfiguraciju povratne grane koja se sastoji od određenog broja XOR logičkih kola. Pritom, ako imamo neku konfiguraciju pomeračkog registra koja generiše ML sekvencu, u odnosu na nju postoji inverzna konfiguracija pomeračkog registra koja će, polazeći iz istog početnog stanja, generisati istu ML sekvencu (tj. isti niz kodnih reči) samo u obrnutom redosledu. U ovom radu razmatraćemo serijski konvertor sekvence maksimalne dužine u prirodni binarni kod za rezoluciju $n = 5$.

ML sekvence imaju brojne primene u različitim oblastima, kao što telekomunikacije [5], [6], kriptografija [7], testiranje VLSI kola [8] i gasnih senzora [9], merenje frekventnog odziva [4] i bežična lokalizacija [10]. Ipak, jedna od najvažnijih primena ML sekvenci jeste u realizaciji apsolutnih enkodera pozicije [11]-[14]. To su senzori za merenje linearne ili ugaone pozicije pokretnog sistema u odnosu na neku početnu (referentnu) poziciju [15]-[18], koji imaju brojne primene: u štampačima, kopir aparatima, skenerima, servo motorima, robotima, teleskopima, proizvodnim linijama, automatskom zavarivanju, čitačima bar kodova, liftovima, radarima, vetroturbinama, uređajima za kontrolu vrata i raznim vrstama mašina, uključujući one za etiketiranje, bušenje, mešanje, flaširanje, namotavanje i CNC mašine. Osnovni princip rada apsolutnih enkodera pozicije bazira se na ideji da se ceo opseg pozicije koju merimo podeli na određeni broj sektora i da se svaki sektor koduje nekom jedinstvenom kodnom reči. U slučaju merenja ugaone pozicije imamo kodni disk koji rotira zajedno sa pokretnim sistemom, na kome se za svaki sektor nanose bitovi odgovarajuće kodne reči u vidu prozirnih i neprozirnih (ili reflektujućih i nereflektujućih) polja. Očitavanje bitova kodnih reči sa kodnog diska vrši se pomoću optičkog sistema LED dioda - fototranzistor. Na osnovu očitane kodne reči određujemo u kom se sektoru nalazi pokretni sistem, ali postoji neodređenost pozicije unutar sektora koja je srazmerna širini sektora. Povećanjem rezolucije apsolutnih enkodera povećava se broj sektora čime se smanjuje njihova širina, a time se smanjuje i greška merenja pozicije. Klasični apsolutni enkoderi pozicije koriste Grejov ili prirodni binarni kod i zasnovani su na transverzalnom upisivanju kodnih reči na

Ovaj rad je podržan od strane Ministarstva Nauke, Tehnološkog razvoja i Inovacija Republike Srbije [broj ugovora 451-03-65/2024-03/200102]

kodni disk, zahtevajući posebnu kodnu traku i poseban optički sistem za očitavanje za svaki bit kodne reči, što dovodi do povećanja broja kodnih traka i glava za čitanje sa povećanjem rezolucije n , a samim tim i do povećanja složenosti i cene. S druge strane, apsolutni enkodori pozicije sa ML sekvencom primenjuju longitudinalno upisivanje kodnih reči na kodni disk, koristeći samo jednu kodnu traku bez obzira na rezoluciju n . Činjenica da povećanje rezolucije ne dovodi do povećanja broja kodnih traka, samim tim ni do povećanja složenosti i cene, predstavlja glavnu prednost apsolutnih enkodera pozicije sa ML sekvencom u odnosu na klasične apsolutne enkodere. Takođe, apsolutni enkodori pozicije sa ML sekvencom imaju i druge prednosti: pružaju mogućnost primene metoda detekcije grešaka što značajno povećava njihovu pouzdanost; takođe, u slučaju rotacionih enkodera omogućavaju direktno podešavanje nulte pozicije nakon montiranja kodnog diska na osovinu [11].

Osnovni nedostatak kodnih reči baziranih na ML sekvenci jeste da nisu težinske kodne reči, pa klasična digitalna elektronika ne može da radi sa njima, zbog čega je potrebno izvršiti njihovu konverziju u kodne reči prirodnog binarnog koda. U tu svrhu se koriste konvertori koda, među kojima se najčešće primenjuje serijski konvertor koda [19], [20] baziran na primeni pomeračkog registra, čija je glavna prednost jednostavnost realizacije, ali takođe omogućava direktno podešavanje nulte pozicije bez značajnih promena bilo u hardveru ili softveru [11]. Serijski konvertor koda je baziran na pomeračkom registru za generisanje inverzne ML sekvence u odnosu na ML sekvencu upisanu na kodnom disku. Konverzija koda počinje upisivanjem bitova očitane kodne reči u pomerački registar, koji nakon toga u svakom taktu prelazi u novo stanje dok ne dostigne referentno stanje (koje odgovara nultom položaju); brojanjem taktih impulsa potrebnih pomeračkom registru da dostigne referentno stanje dobija se kodna reč prirodnog binarnog koda koja odgovara trenutnoj poziciji.

Kada se očita kodna reč za jedan ugaoni sektor, serijski konvertor mora da završi konverziju te kodne reči u prirodni binarni kod pre nego što rotirajući sistem pređe u sledeći sektor, tj. pre nego što se očita sledeća kodna reč. To znači da je dozvoljena brzina rotacije pokretnog sistema ograničena brzinom rada serijskog konvertora koda, tj. maksimalnim vremenom potrebnim da izvrši konverziju očitane kodne reči. Da bi obezbedili ispravan proces očitavanja pozicije moramo da posmatramo najgori slučaj, tj. slučaj najduže konverzije do koje dolazi ako je očitana kodna reč koja je najudaljenija od referentne kodne reči, i tada konverzija traje $2^n - 1$ takt. Kako je trajanje serijske konverzije jednako broju taktova potrebnih pomeračkom registru unutar konvertora da polazeći od očitane kodne reči dostigne referentnu kodnu reč, jasno je da trajanje taktih impulsa (tj. frekvencija takta) konvertora koda predstavlja ključni faktor koji utiče na dužinu trajanja konverzije. Maksimalna frekvencija taktih impulsa zavisi od propagacionih kašnjenja unutar konvertora. Naime, trajanje taktih impulsa mora da bude duže od najdužeg propagacionog kašnjenja da bi konvertor ispravno radio. Iz svega navedenog, jasno je da je određivanje maksimalne frekvencije taktih impulsa veoma važno, jer se time određuje i brzina rada celog enkodera pozicije, tj. gornja granica ugaone brzine koju je enkoder pozicije sposoban da meri.

Glavni doprinos ovog rada jeste određivanje maksimalne frekvencije taktih impulsa 5-bitnog serijskog konvertora koda, na osnovu detaljne analize propagacionih kašnjenja za sve

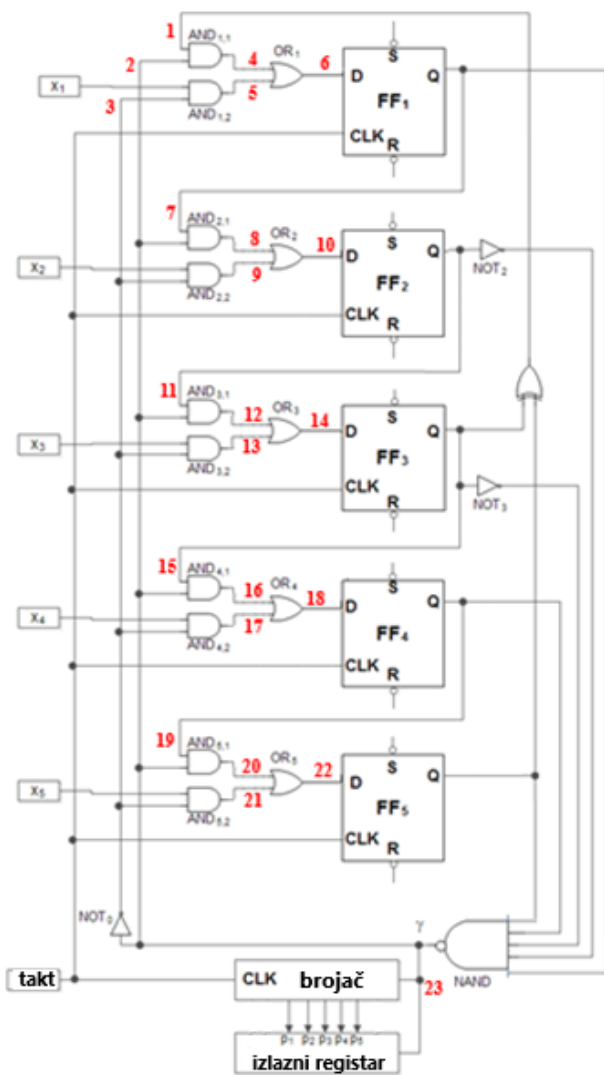
putanje podataka unutar konvertora. Konkretno vrednosti propagacionih kašnjenja su izračunate za slučaj da je konvertor koda realizovan primenom često korišćene 74LVC familije logičkih kola, a takođe je pokazano da maksimalna frekvencija takta u ovom slučaju iznosi 31.25 MHz.

II. OPIS STRUKTURE I PRINCIP RADA 5-BITNOG SERIJSKOG KONVERTORA ML SEKVENCE U PRIRODNI BINARNI KOD

Neka je na kodnom disku 5-bitnog apsolutnog enkodera pozicije upisana ML sekvenca od 31 bita, generisana pomoću generatora direktne ML sekvence. Ova sekvenca sadrži 31 kodnu reč pomoću kojih se koduje 31 sektor ugaone pozicije. Kodna reč $x_5^0 x_4^0 x_3^0 x_2^0 x_1^0$ kojim se koduje referentna (nulta) pozicija naziva se *referentna kodna reč*. Kodni disk je montiran na rotirajući sistem i rotira zajedno sa njim. Neka je u nekom trenutku očitana kodna reč $x_5 x_4 x_3 x_2 x_1$. Već je rečeno da kodna reč iz ML sekvence ne može direktno da se vodi u ostatak digitalne elektronike već prvo mora da se konvertuje u kodnu reč prirodnog binarnog koda.

Na slici 1 je prikazana šema 5-bitnog konvertora kodnih reči iz ML sekvence u prirodni binarni kod, čiji glavni deo predstavlja 5-bitni generator inverzne ML sekvence koji se sastoji od 5-bitnog pomeračkog registra sa povratnom granom, koji generiše ML sekvencu u obrnutom redosledu u odnosu na ML sekvencu upisanu na kodni disk. Pomerački registar se sastoji od pet D-flip-flopova FF₁, FF₂, FF₃, FF₄ i FF₅. Za svaki od flip-flopova FF₂, FF₃, FF₄ i FF₅ važi da je ulazni D bit jednak izlaznom Q bitu prethodnog flip-flopa (tj. $D(FF_i) = Q(FF_{i-1})$, $i = 2, 3, 4, 5$). Ulazni bit prvog flip-flopa FF₁ dobija se kao linearna kombinacija izlaznih bitova svih flip-flopova, što se realizuje pomoću povratne grane sa XOR logičkim kolima. Struktura povratne grane (tj. broj i raspored XOR logičkih kola) je ključni faktor u realizaciji generatora inverzne ML sekvence i određena je generatorskim polinomom koji za rezoluciju $n = 5$ ima oblik $P(X) = X^5 + X^3 + 1$. Koeficijenti ovog polinoma su binarni i mogu da uzmu vrednost 0 ili 1, a znak + označava sabiranje po modulu 2. Od interesa su nam koeficijenti uz X^5 , X^4 , X^3 , X^2 i X , pri čemu u ovom konkretnom slučaju imamo da su koeficijenti uz X^5 i X^3 jednaki 1 a uz X^4 , X^2 i X su 0, što znači da izlazne bitove flip-flopova FF₅ i FF₃ treba sabirati po modulu 2 da bismo dobili ulazni D prvog flip-flopa FF₁, za šta nam je potrebno jedno XOR logičko kolo u povratnoj grani.

Ukratko ćemo opisati princip rada serijskog konvertora koda, tj. princip serijske konverzije očitane 5-bitne kodne reči iz ML sekvence u kodnu reč prirodnog binarnog koda. Udaljenost ugaonog sektora u kome se rotirajući sistem trenutno nalazi od referentnog sektora jednaka je udaljenosti očitane kodne reči $x_5 x_4 x_3 x_2 x_1$ od referentne kodne reči $x_5^0 x_4^0 x_3^0 x_2^0 x_1^0$ u okviru ML sekvence na kodnom disku. Cilj je naći kodnu reč prirodnog binarnog koda koja odgovara ovoj udaljenosti, što možemo postići ako očitano kodnu reč $x_5 x_4 x_3 x_2 x_1$ upišemo u pomerački registar generatora inverzne ML sekvence, koji zatim u svakom taktu prelazi u novo stanje, vraćajući se unazad ka referentnom stanju $x_5^0 x_4^0 x_3^0 x_2^0 x_1^0$. Kada inverzni pomerački registar dostigne referentno stanje konverzija se završava, a broj taktova koji je bio potreban da se dođe do referentnog stanja predstavlja poziciju ugaonog sektora u kome se sada nalazimo. Zbog toga u okviru serijskog konvertora koda sa slike 1 imamo brojač koji broji taktove potrebne da pomerački registar, počevši od očitane



Sl. 1 Blok šema 5-bitnog serijskog konvertora koda.

kode reči, dostigne referentno stanje. U trenutku kada pomerački registar dostigne referentno stanje, sadržaj brojača se upisuje u izlazni registar i predstavlja 5-bitnu kodnu reč prirodnog binarnog koda koja odgovara trenutnoj poziciji. Istovremeno, brojač se resetuje na nulu i spreman je za konverziju nove kodne reči.

Serijski konvertor koda sa slike 1 sadrži još neke važne elemente neophodne za ispravan rad. Prvo, potrebna je logika koja će detektovati da li je pomerački registar dostigao referentno stanje ili ne, koja se sastoji iz nekoliko NOT kola na izlazu nekih flip-flova kao i NAND logičkog kola. Na slici je prikazana logika za detekciju referentnog stanja $x_5^0 x_4^0 x_3^0 x_2^0 x_1^0 = 11001$. U principu, NOT kolo imamo na izlazu onih flip-flova gde bit referentne kodne reči ima vrednost 0. Zatim, imamo brojač koji broji taktove potrebne da pomerački registar, počevši od očitane kodne reči $x_5 x_4 x_3 x_2 x_1$, dostigne referentno stanje. U trenutku kada pomerački registar dostigne referentno stanje, sadržaj brojača se upisuje u izlazni registar i predstavlja 5-bitnu kodnu reč prirodnog binarnog koda koja odgovara trenutnoj poziciji. Istovremeno, brojač se resetuje na nulu i spreman je za konverziju nove kodne reči. Takođe, na ulazu svakog flip-flopa imamo tri logička kola (dva AND kola i jedno OR kolo) koja

kontrolisu koji će se bitovi upisati u flip-flobove u nekom taktu. Ako trenutna konverzija još nije završena (tj. ako pomerački registar još uvek nije dostigao referentno stanje), u flip-flobove se upisuju bitovi preko gornjih AND kola ($AND_{i,1}$, $i = 1, 2, 3, 4, 5$) generisani unutar pomeračkog registra. Ako je pak trenutna konverzija gotova (tj. ako je pomerački registar dostigao referentno stanje), u flip-flobove se upisuju bitovi nove očitane kodne reči preko donjih AND kola ($AND_{i,2}$, $i = 1, 2, 3, 4, 5$) i počinje nova konverzija.

Rad serijskog konvertora koda objasnićemo na jednom primeru. Izabrana je referentna kodna reč $x_5^0 x_4^0 x_3^0 x_2^0 x_1^0 = 11001$. Neka je očitana kodna reč $x_5 x_4 x_3 x_2 x_1 = 00001$. Na početku procesa konverzije koda, očitana kodna reč se upisuje u pomerački registar serijskog konvertora koda. Nakon toga, u svakom taktu pomerački registar prelazi u novo stanje, prolazeći kroz sledeća stanja: $00001 \rightarrow 00010 \rightarrow 00100 \rightarrow 01001 \rightarrow 10010 \rightarrow 00101 \rightarrow 01011 \rightarrow 10110 \rightarrow 01100 \rightarrow 11001$. Posle 10-tog taktog impulsa, pomerački registar dostiže referentno stanje 11001. Brojač je, polazeći od 0, brojao do $p = 9$, pa kao rezultat procesa konverzije na izlazu brojača dobijamo kodnu reč prirodnog binarnog koda 01001, koja predstavlja binarnu reprezentaciju broja $p = 9$.

Ako je očitana kodna reč udaljena za p mesta od referentne kodne reči, konverzija koda traje $(p + 1)$ taktova jer nam je potrebno p taktova da od očitane kodne reči dođemo do referentne kodne reči i još jedan takt da kolo detektuje da smo došli do referentne kodne reči. Pošto brojač broji od 0, on će za $(p + 1)$ taktova da dođe do vrednosti p koja predstavlja ugaonu poziciju. Vreme trajanja konverzije očitane kodne reči je

$$\delta = (p + 1) \cdot T^{clock} = (p + 1) / f^{clock} \quad (1)$$

gde su T^{clock} i f^{clock} perioda i frekvencija taktnih impulsa.

III. ODREĐIVANJE MAKSIMALNE TAKTNE FREKVENCije 5-BITNOG SERIJSKOG KONVERTORA KODA

Neka je sa f označena frekvencija rotacije pokretnog sistema, što znači da $T = 1/f$ predstavlja trajanje jedne rotacije. Kako je pun krug podeljen na 31 sektor, to znači da vreme prelaska iz jednog u drugi sektor (tj. vreme između očitavanja dve kodne reči) iznosi:

$$\theta = T/31 = 1/(31f) \quad (2)$$

Vidimo da je vreme između očitavanja dve uzastopne kodne reči θ obrnuto srazmerno frekvenciji rotacije f , tj. da se θ sa povećanjem frekvencije rotacije f . Međutim, da bi apsolutni enkoder pozicije ispravno radio, potrebno je da se konverzija očitane kodne reči u prirodni binarni kod završi pre nego što se očita sledeća kodna reč, što znači da mora da postoji neko minimalno dozvoljeno vreme između očitavanja dve uzastopne kodne reči θ_{min} koje mora da bude veće od maksimalnog trajanja konverzije očitane kodne reči. Pošto postoji minimalna dozvoljena vrednost za θ , na osnovu (2) je jasno da mora da postoji neka maksimalna dozvoljena vrednost za frekvenciju rotacije f_{max} za koju će apsolutni enkoder pozicije moći ispravno da radi, koja je obrnuto srazmerna maksimalnom trajanju konverzije kodne reči. Sa druge strane, na osnovu (1) vreme trajanja konverzije očitane kodne reči je obrnuto

srazmerno frekvenciji takta f^{clock} konvertora koda, što znači da je maksimalna dozvoljena frekvencija rotacije f_{max} za koju će apsolutni enkoder pozicije ispravno da radi obrnuto srazmerna frekvenciji takta, jer se povećanjem frekvencije takta smanjuje vreme konverzije a time se povećava f_{max} . Pritom, postoji neka granična vrednost f_{max}^{clock} do koje smemo da povećavamo frekvenciju takta a kada je pređemo konvertor koda više neće ispravno raditi. Naime, vrednost f_{max}^{clock} zavisi od propagacionih kašnjenja u kolu konvertora koda, a da bi serijski konvertor koda ispravno radio, mora da bude ispunjen uslov:

$$T_{min}^{clock} \geq \tau_{max}, \quad (3)$$

gde je $T_{min}^{clock} = f_{max}^{clock}$ minimalna dozvoljena perioda taktnih impulsa a τ_{max} je najveće propagaciono kašnjenje u kolu konvertora. Možemo zaključiti da je veoma važno odrediti maksimalnu dozvoljenu frekvenciju taktnih impulsa f_{max}^{clock} konvertora koda iz dva razloga: prvo, da ne bi izložili kolo većoj frekvenciji taktnih impulsa od dozvoljene i time ugrozili njegov ispravan rad, a drugo jer od nje zavisi maksimalna dozvoljena frekvencija rotacije pokretnog sistema f_{max} za koju apsolutni enkoder pozicije može ispravno da radi.

U nastavku će biti izvršena detaljna analiza propagacionog kašnjenja za sve putanje podataka u kolu serijskog konvertora koda, na osnovu čega će biti određeno maksimalno propagaciono kašnjenje, u cilju izračunavanja f_{max}^{clock} . Sa τ_{NOT} , τ_{AND} , τ_{OR} i τ_{NAND} su označena propagaci-ona kašnjenja logičkih kola NOT, AND, OR i NAND respektivno, a τ_{FF} predstavlja propagaciono kašnjenje D flip-flopa, pri čemu je $\tau_{FF} = \tau_{CLK \rightarrow Q} + \tau_{setup}$, gde je $\tau_{CLK \rightarrow Q}$ vreme od rastuće ivice takta kojom se okida flip-flop do trenutka postavljanja vrednosti na Q izlazu flip-flopa, a τ_{setup} je vreme potrebno da vrednost bita podatka na D ulazu flip-flopa bude stabilna pre okidanja flip-flopa. Kao početak takta smatraćemo rastuću ivicu takta kojom se okida flip-flop, i sva propagaciona kašnjenja u kolu serijskog konvertora računaćemo u odnosu na taj trenutak. Na slici 1 su brojevima od 1 do 23 označene sve tačke u kolu do kojih treba da dođu podaci u kolu u okviru jednog takta. Vrednosti propagacionih kašnjenja za sve ove tačke date su sledećim izrazima:

$$delay(1) = \tau_{FF} + \tau_{XOR}, \quad (4)$$

$$delay(2) = \tau_{FF} + \tau_{NOT} + \tau_{NAND}, \quad (5)$$

$$delay(3) = \tau_{FF} + 2\tau_{NOT} + \tau_{NAND}, \quad (6)$$

$$delay(4) = \max\{delay(1), delay(2)\} + \tau_{AND}, \quad (7)$$

$$delay(5) = delay(3) + \tau_{AND} = \tau_{FF} + 2\tau_{NOT} + \tau_{NAND} + \tau_{AND}, \quad (8)$$

$$delay(6) = \max\{delay(4), delay(5)\} + \tau_{OR}, \quad (9)$$

$$delay(7) = delay(11) = delay(15) = delay(19) = \tau_{FF}, \quad (10)$$

$$\begin{aligned} delay(8) &= delay(12) = delay(16) = delay(20) \\ &= \max\{delay(7), delay(2)\} + \tau_{AND} = delay(2) + \tau_{AND}, \quad (11) \\ &= \tau_{FF} + \tau_{NOT} + \tau_{NAND} + \tau_{AND} \end{aligned}$$

$$\begin{aligned} delay(9) &= delay(13) = delay(17) = delay(21) \\ &= delay(5) = \tau_{FF} + 2\tau_{NOT} + \tau_{NAND} + \tau_{AND}, \quad (12) \end{aligned}$$

$$\begin{aligned} delay(10) &= delay(14) = delay(18) = delay(22) \\ &= \max\{delay(8), delay(9)\} + \tau_{OR} = delay(9) + \tau_{OR}. \quad (13) \\ &= \tau_{FF} + 2\tau_{NOT} + \tau_{NAND} + \tau_{AND} + \tau_{OR} \end{aligned}$$

Propagaciono kašnjenje potrebno za resetovanje brojača u taktu kada pomerački registar dostigne referentno stanje, tj. kada izlazni bit NAND kola γ postane 0, jednako je:

$$delay(23) = \tau_{CLK \rightarrow Q} + \tau_{NOT} + \tau_{NAND} + \tau_{brojač}^{reset}, \quad (14)$$

gde $\tau_{brojač}^{reset}$ predstavlja kašnjenja brojača od trenutka kada bit γ postane 0 do trenutka kada se brojač resetuje. Maksimalno propagaciono kašnjenje u kolu serijskog konvertora koda je:

$$\tau_{max} = \max\{delay(6), delay(10), delay(23)\}. \quad (15)$$

U cilju dobijanja numeričkih vrednosti, razmatraćemo konkretnu realizaciju serijskog konvertora koda pomoću logičkih kola iz 74LVC familije. U tom slučaju, vrednosti propagacionih kašnjenja logičkih kola su: $\tau_{NOT} = 5$ ns, $\tau_{AND} = 5.5$ ns, $\tau_{XOR} = 5.5$ ns, $\tau_{OR} = 5.5$ ns, $\tau_{NAND} = 4.4$ ns, $\tau_{CLK \rightarrow Q} = 5.5$ ns, $\tau_{setup} = 1.1$ ns, $\tau_{FF} = 6.6$ ns i $\tau_{brojač}^{reset} = 9.5$ ns. Na osnovu izraza (4) - (14) dobijamo vrednosti propagacionih kašnjenja odgovarajućih putanja u kolu konvertora koda: $delay(1) = 12.1$ ns, $delay(2) = 16$ ns, $delay(3) = 21$ ns, $delay(4) = 21.5$ ns, $delay(5) = delay(9) = delay(13) = delay(17) = delay(21) = 26.5$ ns, $delay(6) = 32$ ns, $delay(7) = delay(11) = delay(15) = delay(19) = 6.6$ ns, $delay(8) = delay(12) = delay(16) = delay(20) = 21.5$ ns, $delay(10) = delay(14) = delay(18) = delay(22) = 32$ ns i $delay(23) = 24.4$ ns. Na osnovu izraza (15), maksimalno propagaciono kašnjenje ima vrednost $\tau_{max} = 32$ ns, što je ujedno i minimalna dozvoljena vrednost periode takta T_{min}^{clock} . Maksimalna dozvoljena vrednost frekvencije takta serijskog konvertora koda je $f_{max}^{clock} = 1/T_{min}^{clock} = 31.25$ MHz.

IV. ZAKLJUČAK

U radu je razmatran problem određivanja maksimalne frekvencije takta 5-bitnog serijskog konvertora kodnih reči ML sekvence u prirodni binarni kod, kao jednog od glavnih faktora koji utiče na vrednost maksimalne ugaone brzine za koju može da radi 5-bitni apsolutni enkoder ugaone pozicije baziran na ML sekvenci. U radu su prvo detaljno objašnjeni struktura i princip rada serijskog konvertora koda, a zatim je izveden izraz za maksimalnu frekvenciju takta na osnovu detaljne analize propagacionih kašnjenja po svim putanjama unutar kola serijskog konvertora. Izračunate su numeričke vrednosti propagacionih kašnjenja i maksimalne frekvencije takta za slučaj da je serijski konvertor koda realizovan pomoću logičkih kola iz

74LVC familije, pri čemu je za maksimalnu frekvenciju takta dobijena vrednost od 31.25 MHz.

REFERENCE/LITERATURA

- [1] Y. Matsuzoe, N. Tsuji, T. Nakayama, K. Fujita and T. Yoshizawa, "High-performance absolute rotary encoder using multitrack and M-code," *Optical Engineering*, vol. 42, no. 1, pp. 124-131, 2003. DOI: [10.1117/1.1523943](https://doi.org/10.1117/1.1523943).
- [2] F. J. MacWilliams and N. J. A. Sloane, "Pseudo-random sequences and arrays," *Proc. of the IEEE*, 64, pp. 1715-1729, 1976.
- [3] G. H. Tomlinson, "Determination of a class of optimum pseudo-random sequences," *International Journal of Electronics*, 68, pp. 519-524, 1990. DOI: [10.1080/00207219008921196](https://doi.org/10.1080/00207219008921196).
- [4] S. Engelberg and H. Benjamin, "Pseudorandom sequences and the measurement of the frequency response," *IEEE Instrum. Meas. Mag.* 8(1), pp. 54-59, 2005. DOI: [10.1109/MIM.2005.8456673](https://doi.org/10.1109/MIM.2005.8456673).
- [5] S. Y. Hwang, G. Y. Park, D. H. Kim and K. S. Jhang, "Efficient Implementation of a Pseudorandom Sequence Generator for High-Speed Data Communications," *ETRI Journal*, 32 (2), pp. 222-229, 2010. DOI: 10.4218/etrij.10.1409.0047.
- [6] S. Bourdel, E. Campo, P. Melet and L. Andrieux, "From modeling of a CDMA transceiver in indoor environment to an ASIC circuit synthesis," *Journal of Telecommunications and Information Technology*, 3, 2001, pp. 36-45.
- [7] S. A. Parah, J. A. Sheikh, A.M. Hafiz and G. M. Bhat, "A secure and robust information hiding technique for covert communication," *International Journal of Electronics*, 102(8), pp. 1253-1266, 2015. DOI: [10.1080/00207217.2014.954635](https://doi.org/10.1080/00207217.2014.954635).
- [8] J. C. Rau, P. H. Wu and Y. F. Ho, "A Novel Reseeding Mechanism for Improving Pseudo-Random Testing of VLSI Circuits," *Tamkang Journal of Science and Engineering*, 11(2) pp. 175-184, 2008. DOI: 10.6180/jase.2008.11.2.09.
- [9] M. E. H. Amrani, R. M. Dowdeswell, P. A. Payne and K. C. Persaud, "Pseudo-random binary sequence interrogation techniques for gas sensors," *Sensor. Actuat. B-Chem.* 47(1) pp. 118-124, 1998. DOI: 10.1016/S0925-4005(98)00013-6.
- [10] X. R. Cui, J. Li, H. Zhang, T. A. Gulliver and C. Wu, "Improving Ultra-Wideband Positioning Security Using a Pseudo-Random Turnaround Delay Protocol," *Journal of Circuits, Systems and Computers*, 24(10), 2015. DOI: 10.1142/S0218126615501492.
- [11] D. Denic, I. Randjelovic and G. Miljkovic, "Recent trends of linear and angular pseudorandom encoder development," *Proceedings of International Symposium on Power Electronics, Electrical Drives, Automation and Motion (SPEEDAM)*, Taormina, Sicily, Italy, 23-26. May 2006. pp. 746-750. DOI: [10.1109/SPEEDAM.2006.1649868](https://doi.org/10.1109/SPEEDAM.2006.1649868).
- [12] E. M. Petriu, "Absolute position measurement using pseudorandom binary encoding," *IEEE Instrum. & Meas.* 1 (3), pp. 19-23, 1998. DOI: [10.1109/5289.706020](https://doi.org/10.1109/5289.706020).
- [13] S. Das and B. Chakraborty, "Design of an absolute shaft encoder using optically modulated binary code," *IEEE Sensors Journal*, 18 (12), pp. 4902-4910, 2018. DOI: [10.1109/JSEN.2018.2834378](https://doi.org/10.1109/JSEN.2018.2834378).
- [14] G. Miljković and D. Denić, "Redundant and flexible pseudorandom optical rotary encoder," *Elektronika IR Elektrotehnika*, Kaunas University of Technology, 26 (6), pp. 10-16, 2020. DOI: 10.5755/j01.eie.26.6.25476.
- [15] H. Wang, J. Wang, B. Chen, P. Xiao, X. Chen, N. Cai, B. Wing and K. Ling, "Absolute optical imaging position encoder," *Measurement*, 67, pp. 42-50, 2015. DOI: 10.1016/j.measurement.2015.02.028.
- [16] S. Das, T. S. Sarkar, B. Chakraborty and H. S. Dutta, "A Simple Approach to Design a Binary Coded Absolute Shaft Encoder," *IEEE Sensors Journal*, 16 (8), pp. 2300-2305, 2016. DOI: [10.1109/JSEN.2016.2517122](https://doi.org/10.1109/JSEN.2016.2517122).
- [17] W. Xu, L. Zou, Z. Fu, L. Wu and Y. Qi, "Two-stage 3D object detection guided by position encoding," *Neurocomputing*, 501, pp. 811-821, 2022. DOI: 10.1016/j.neucom.2022.06.030.
- [18] Q. Zhou, X. Li, K. Ni and X. Wang, "Design and testing of a linear encoder capable of measuring absolute distance," *Sensors and Actuators A: Physical*, 308, 111935, 2020. DOI: 10.1016/j.sna.2020.111935.
- [19] D. Denic, M. Dincic, G. Miljkovic and Z. Peric, "A contribution to the design of fast code converters for position encoders," *International Journal of Electronics*, 103 (10), pp. 1654-1664, 2016. DOI: 10.1080/00207217.2016.1138521.
- [20] D. Denić and I. Stojković, "Pseudorandom/natural code converter with parallel feedback logic configuration," *Electron. Lett.* 46 (13), pp. 921-922, 2010. DOI: [10.1049/el.2010.0792](https://doi.org/10.1049/el.2010.0792).

ABSTRACT

This paper is dedicated to determining the maximal clock frequency of the serial code converter, as one of the most important factors influencing the maximum operating speed of absolute position encoders. The maximal clock frequency is determined based on a detailed analysis of propagation delays within the serial code converter. The paper considers a 5-bit serial converter, but the principles and analysis presented in this paper can be applied to other resolution values as well. Based on the performed theoretical analysis, specific numerical values of propagation delays and maximal clock frequency are calculated, assuming that the serial code converter is implemented using the 74LVC family of logic circuits.

Determination of the maximal clock frequency of a 5-bit serial converter of maximum length sequence into natural binary code

Milan R. Dinčić, Goran S. Miljković, Milica S. Stojanović,
Dragan B. Denić, Jelena R. Jovanović, Jelena R. Đorđević
Kozarov